

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
ТАВРІЙСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ  
ІМЕНІ В.І. ВЕРНАДСЬКОГО**

Навчально-науковий інститут муніципального управління  
та міського господарства  
Кафедра загальноінженерних дисциплін та теплоенергетики

**ЗАТВЕРДЖУЮ**

Директор навчально-наукового  
інституту муніципального управління  
та міського господарства

В.Б. Кисельов

3 вересня 2019 р.

**РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ**

**«Комп'ютерна схемотехніка»**

**за спеціальностями :** 122 «Комп'ютерні науки»

123 «Комп'ютерна інженерія»

**інститут:** навчально-науковий інститут муніципального управління та  
міського господарства

Київ 2019

Робоча програма з навчальної дисципліни «Комп'ютерна схемотехніка» складена для здобувачів вищої освіти відповідно до програми навчальної дисципліни для підготовки фахівців за ступенем вищої освіти бакалавр за спеціальністю 123 «Комп'ютерна інженерія»

Розробник: Сергійчук Іван Михайлович, к.т.н., доцент кафедри загальноінженерних дисциплін та теплоенергетики

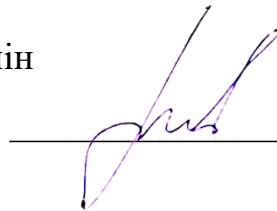
Робочу програму схвалено на засіданні кафедри загальноінженерних дисциплін та теплоенергетики

Протокол № 1 від 28 серпня 2019 року

Завідувач кафедри

Загальноінженерних дисциплін

та теплоенергетики



Медведєв М.Г.



, 2019 рік



, 2019 рік

## 1. Програма навчальної дисципліни

**Предметом** вивчення є принципи функціонування і побудови цифрових комбінаційних і послідовнісних вузлів, цифро-аналогових і аналого-цифрових перетворювачів, пристроїв постійної і оперативної пам'яті, арифметико-логічних пристроїв, однокристальних мікропроцесорів і мікроконтролерів, програмованих інтерфейсів мікропроцесорних систем, а також основи програмування мовою асемблера.

**Міжпредметні зв'язки:** дисципліна «Комп'ютерна схемотехніка» базується на знаннях здобутих при вивченні дисциплін комп'ютерна електроніка і комп'ютерна логіка. Знання дисципліни «Комп'ютерна схемотехніка» є базою для вивчення таких дисциплін, як архітектура комп'ютерів, цифрові системи керування та обробки інформації, автоматизація управління технологічними процесами.

### **Мета та завдання навчальної дисципліни**

Метою викладання навчальної дисципліни є засвоєння необхідних знань з основ теорії комп'ютерної схемотехніки, побудови і функціонування основних вузлів і пристроїв на базі елементів ТТЛ, МОН і КМОН логіки, однокристальних мікропроцесорів; формування навичок проектування і синтезу цифрових пристроїв мікропроцесорної і комп'ютерної техніки.

Основним завданням вивчення дисципліни є вироблення у студентів вмінь та навичок необхідних для виконання фахових завдань в професійній діяльності.

Студенти повинні:

*знати:*

логічні і арифметичні основи комп'ютерної схемотехніки;

функціонування логічних елементів серій ТТЛ і МОН, типових комбінаційних і послідовнісних вузлів, запам'ятовуючих пристроїв, програмованих інтерфейсів і мікропроцесорів, які складають основу побудови сучасної комп'ютерної техніки;

методи мінімізації мінтермів функцій логічних схем цифрових пристроїв;

архітектуру шістнадцятирозрядних мікропроцесорів;

основні команди передачі даних, умовних переходів, циклів та виклику підпрограми;

програмовні інтерфейсні мікросхеми МПС та формати керуючих слів

*вміти:*

вибрати мікросхеми для побудови типових функціональних вузлів і пристроїв комп'ютерної схемотехніки;

мінімізувати вихідні функції цифрових логічних схем картами Карно і Вейча та реалізувати їх базовими елементами серій ТТЛ;

програмувати керуючі слова режимів роботи програмовних інтерфейсів МПС;

складати програми керування мовою Assembler з командами умовних переходів, циклів та виклику підпрограми.

## 2. Опис навчальної дисципліни

Найменування показників	Галузь знань, спеціальність, ступінь вищої освіти	Характеристика навчальної дисципліни	
		денна форма	заочна форма
Кількість кредитів ECTS - 4,0	Галузь знань	Нормативна (основний компонент)	
	Спеціальності 122 «Комп'ютерні науки» 123 «Комп'ютерна інженерія»		
Кількість розділів -	Спеціалізація: «Комп'ютерні науки» «Комп'ютерна інженерія»	Рік підготовки	
		3	3
Загальна кількість годин - 240	Ступінь вищої освіти: бакалавр	Семестр	
		5 і 6	5 і 6
		Лекції	
		32 год і 34	10 год і 10
		Практичні	
		16 год. і 16	10 год. і 10
		Лабораторні	
		16 год. і 14	год.
		Самостійна робота	
		80 год. і 94	год.
		Вид контролю:	
		екз.	екз.

## 3. Структура навчальної дисципліни (тематичний план)

Назви розділів і тем	Кількість годин									
	денна форма					заочна форма				
	Всього	у тому числі				всього	у тому числі			
		л	пр	лр	С. р.		л	пр	лр.	С. р.
1	2	3	4	5	6	7	8	9	10	11
<b>Розділ 1. Основи теорії комп'ютерної схемотехніки</b>										
Тема 1. Інформаційні і логічні основи комп'ютерної схемотехніки	8	2	2		4			1		
Тема 2 Арифметичні основи комп'ютерної схемотехніки	10	4	2		4		1	1		
<b>Розділ 2. Елементи комп'ютерної схемотехніки</b>										
Тема 3 Транзисторно-транзисторні логічні елементи	8	2		2	4			1		
Тема 4 Логічні елементи на МОН і КМОН транзисторах	8	2		2	4			1		
<b>Розділ 3. Комбінаційні функціональні вузли комп'ютерної схемотехніки</b>										
Тема 5 Дешифратори і шифратори	12	2	2	2	6		1	1		
Тема 6 Мультиплектори і демуплектори	8	2		2	4		1	1		
Тема 7 Перетворювачі кодів	6	2			4		1			
Тема 8 Двійкові суматори	14	4	2	2	6		2	1		
<b>Розділ 4. Послідовні вузли комп'ютерної схемотехніки</b>										
Тема 9 Паралельні і послідовні регістри	16	4	2	4	6		1	1		
Тема 10 Двійкові і двійково-десяткові лічильники імпульсів	14	4	2	2	6		1	1		
<b>Розділ 5. Цифро-аналогові і аналого-цифрові перетворювачі</b>										
Тема 11 Цифро-аналогові перетворювачі	8	2	2		4		1	1		
Тема 12 Аналого-цифрові перетворювачі	8	2	2		4		1			
<b>Всього за 5 семестр</b>	<b>120</b>	<b>32</b>	<b>16</b>	<b>16</b>	<b>56</b>	<b>120</b>	<b>10</b>	<b>10</b>		<b>100</b>
<b>Розділ 6. Запам'ятовуючі пристрої</b>										
Тема 13 Постійні запам'ятовуючі пристрої	7	2	2		3		1			
Тема 14 Пристрої оперативної пам'яті	7	2	2		3		1			
<b>Розділ 7. Загальні принципи побудови мікропроцесорних систем</b>										
Тема 15 Принципи побудови мікропроцесорних систем. Узагальнена схема МПСК	6	2			4		1			
Тема 16 Організація шин і цикли шини	6	2			4			1		
Тема 17 Архітектура мікропроцесорів	6	2			4			1		
Тема 18 Основи програмування мовою асемблера	12	4		4	4		2	2		
<b>Розділ 8. Однокристалні мікропроцесори</b>										
1	2	3	4	5	6	7	8	9	10	11

Тема 19 8-розрядні і 16-розрядні мікропроцесори. Структурна схема 16- розрядного МП К1810ВМ86	12	2	4	2	4		1			
Тема 20 Арифметико–логічний пристрій і пристрій керування	8	2	2		4			1		
Тема 21 Шинний інтерфейс. Організація сегментної пам'яті	8	2	2		4			1		
Тема 22 Формати і система команд 16- розрядного МП	10	2	2	2	4			1		
<b>Розділ 9. Програмовні інтерфейси мікропроцесорних систем</b>										
Тема 23 Паралельний програмовний інтерфейс	8	2		2	4		1	1		
Тема 24 Програмовний таймер	8	2		2	4		1	1		
Тема 25 Послідовний програмовний інтерфейс	8	2		2	4		1	1		
<b>Розділ 10. Однокристалні мікроконтролери і їх особливості</b>										
Тема 26 Однокристалні 8- розрядні мікроконтролери	10	4	2		4		1			
Тема 27 Особливості архітектури однокристалних 16-розрядних мікроконтролерів	4	2			2		1			
<b>Всього за 6 семестр</b>	<b>120</b>	<b>34</b>	<b>16</b>	<b>14</b>	<b>56</b>	<b>120</b>	<b>10</b>	<b>10</b>		<b>100</b>
<b>Разом годин</b>	<b>240</b>	<b>66</b>	<b>32</b>	<b>30</b>	<b>112</b>	<b>240</b>	<b>20</b>	<b>20</b>		<b>200</b>

#### 4. Плани лекційних занять

##### 5-й семестр:

Лекція 1 (Тема 1). Інформаційні і логічні основи комп'ютерної схемотехніки

1. Інформаційні сигнали і їх представлення та кодування.
2. Функціонально повні системи логічних елементів. Мінімізація складних логічних функцій картами Карно і Вейча.

Лекція 2 (Тема 2). Арифметичні основи комп'ютерної схемотехніки

1. Принципи побудови систем числення.
2. Перетворення десяткових чисел в двійкові і навпаки.
3. Подання чисел і кодування від'ємних чисел в двійковому оберненому і доповнювальному кодах.

Лекція 3 (Тема 2). Арифметичні основи комп'ютерної схемотехніки

1. Правила виконання арифметичних операції додавання, віднімання та зсув вліво і вправо даних.

Лекція 4 (Тема 3). Транзисторно-транзисторні логічні елементи

1. Базовий логічний елемент І-НІ серії 155.
2. Спеціалізовані ЛЕ І\_НІ з відкритим колектором та з підвищеною навантажувальною спроможністю.

3. ЛЕ І-НІ з третім вимикним станом по виходу. 4. Базовий логічний елемент І-НІ серії 555 ТТЛШ (на транзисторах Шотткі)

Лекція 5 (Тема 4). Логічні елементи на МОН і КМОН транзисторах

1. Логічні елементи на МОН транзисторах. 2. Логічні елементи на комплементарних МОН транзисторах.

Лекція 6 . (Тема 5). Дешифратори і шифратори

1. Загальна характеристика дешифраторів. 2. Лінійний двійковий дешифратор. 3. Прямокутні дешифратори. 4. Визначення і умовне позначення шифраторів.

Лекція 7 .(Тема 6). Тема 6 Мультиплексори і демюльтиплексори

1. Загальна характеристика мультиплексорів. 2. Схеми мультиплексорів з внутрішнім дешифратором та адресними мінтермами. 3. Каскадування мультиплексорів. 4 Мультиплексор шин. 5. Визначення і графічне позначення демюльтиплексора. 5. Схема демюльтиплексора з внутрішнім дешифратором.

Лекція 8 . (Тема 7). Перетворювачі кодів

1. Загальна характеристика перетворювачів кодів. 2. Перетворювач прямого коду в обертаний. 3. Перетворювач двійкових чисел в код Грея.

Лекція 9 . (Тема 8). Двійкові і двійково-десяткові суматори

1. Загальна характеристика суматорів. 2. Схема однорозрядного суматора на ЛЕ «Виключне АБО». 3. Умовне позначення напівсуматора і функції виходів. 4. Умовне позначення і схема чотирьохрозрядного паралельного суматора.

Лекція 10. (Тема 8). Двійкові і двійково-десяткові суматори

1. Умовне позначення і схема однорозрядного двійково-десятькового суматора. 2. Схема 4-х розрядного двійково-десятькового суматора з послідовним переносом в тетрадах.

Лекція 11. (Тема 9). Паралельні і послідовні регістри

1. Загальна характеристика регістрів. 2. Схеми і принцип роботи однотактних паралельних регістрів (регістрів пам'яті) з однофазним та парафазним записом інформації.

Лекція 12. (Тема 9). Паралельні і послідовні регістри

1. Схема послідовного регістра зсуву вправо та графіки передачі коду від молодшого розряду до старшого. 3. Схема і часові діаграми роботи розподільювача машинних тактів на кільцевому 4-хрозрядному регістрі.

Лекція 13. (Тема 10). Двійкові і двійково-десятькові лічильники імпульсів

1. Загальна характеристика лічильників. 2. Схема 4-х розрядного підсумовуючого двійкового лічильника та часові діаграми станів тригерів



після надходження вхідних імпульсів. 3. Схема 4-х розрядного віднімаючого лічильника імпульсів. 4. Схема лічильника імпульсів з примусовим обнуленням при досяганні стану, який відповідає заданому коефіцієнту лічби.

Лекція 14. (Тема 10). Двійкові і двійково-десяткові лічильники імпульсів

1. Схема десятичного лічильника імпульсів на JK – тригерах. 2. Схема десятичного лічильника з зворотними зв'язками. 3. Схема і часові діаграми кільцевого лічильника.

Лекція 15 (Тема 11). Цифро-аналогові перетворювачі

1. Графічне позначення і параметри ЦАП. 2. Схема та функціонування ЦАП на основі матриці R-2R і операційного підсилювача. 3. 5. Функціональна схема і часові діаграми аналого-цифрового перетворювача послідовної лічби. Параметри АЦП.

Лекція 16 (Тема 12). Аналого-цифрові перетворювачі

1. Загальна характеристика АЦП. Схема і часові діаграми роботи АЦП послідовного рахунку з ЦАП. Схема АЦП паралельної дії.

## 5. Плани практичних занять

### 5-й семестр:

Тема 1. Інформаційні і логічні основи комп'ютерної схемотехніки №1. Мінімізація функції алгебри логіки чотирьох аргументів картами Карно і Вейча.

Тема 2. Арифметичні основи комп'ютерної схемотехніки. № 2. Правила виконання арифметичних операції з двійковими числами

Тема 5. Дешифратори і шифратори. № 3. Синтез лінійного дешифратора

Тема 8. Двійкові суматори. №4. Побудова на півсуматорах однорозрядного суматора

Тема 9. Паралельні і послідовні регістри. №5. Аналіз регістрів на мікросхемах серії КР1533

Тема 10. Двійкові і двійково-десяткові лічильники №6, Побудова двійкового додаючого лічильника імпульсів з паралельними переносами на двоступенчатих Т-тригерах

№7. Семінарське заняття по темам: паралельні і послідовні регістри та двійкові і двійково-десяткові лічильники імпульсів

Тема 11 Цифро-аналогові перетворювачі. №8. Побудова характеристики цифро-аналогового перетворення і визначення параметрів. в ах серії КР1533

## **6. Плани лабораторних занять**

### **5-й семестр:**

Тема 3 Транзисторно-транзисторні логічні елементи. №1. Дослідження базового ЛЕ І-НІ 155 серії ТТЛ

Тема 4. Логічні елементи на МОН і КМОН транзисторах. №2. Дослідження ЛЕ І-НІ 555 серії МОН технології

Тема 5 Дешифратори і шифратори. №3. Реалізація схеми прямокутного дешифратора

Тема 6 Мультиплексори і демюльтиплексори. №4. Реалізація логічних функцій мультиплексорами

Тема 8 Двійкові суматори. №5. Реалізація однорозрядного суматора на ЛЕ І-НІ

Тема 9 Паралельні і послідовні регістри. №6. Дослідження паралельного регістра. №7. Дослідження послідовного регістра.

Тема 10 Двійкові і двійково-десяткові лічильники імпульсів. №8. Дослідження 3-х розрядного додаючого лічильника імпульсів на D-тригерах.

## **Рекомендована література**

1. Якименко Ю.І., Терещенко Т.О., Сокол Є.І., Жуйков В.Я., Петергеря Ю.С. Мікропроцесорна техніка: Підручник для техн. ВНЗ. – К. : ІВЦ “Видавництво «Політехніка»; “Кондор”, 2008.

2. Бабич Н.П., Жуков И.А. Компьютерная схемотехника. Методы построения и проектирования: Учебное пособие. – К. : «МК-Пресс», 2004

3. Бех І.І., Левитський С.М. Фізичні основи комп'ютерної електроніки: навчальний посібник для студ. вищ. навч. закл., які навчаються з спеціальності «Комп'ютерна інженерія». – Київ: Карбон, 2010

4. Сергійчук І.М., Сергійчук А.І. Логічне проектування цифрових мікроелектронних пристроїв. Навчальний посібник. – К.: АМУ, 2006.